

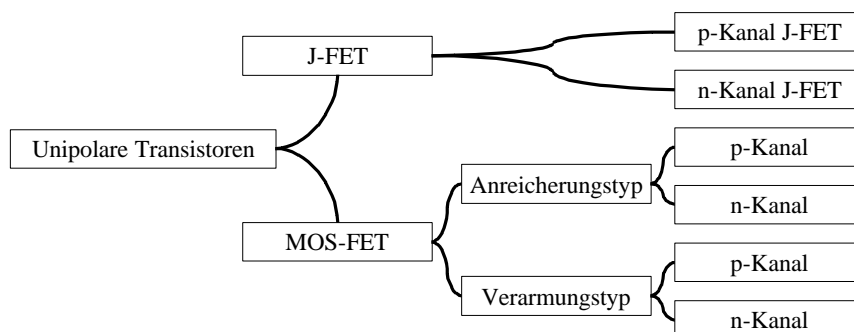
Unipolare Transistoren

J-FET
Sperschicht-Feldeffekttransistoren (J-FET)
J - Junction – Sperschicht
FET - Feld-Effekt-Transistor

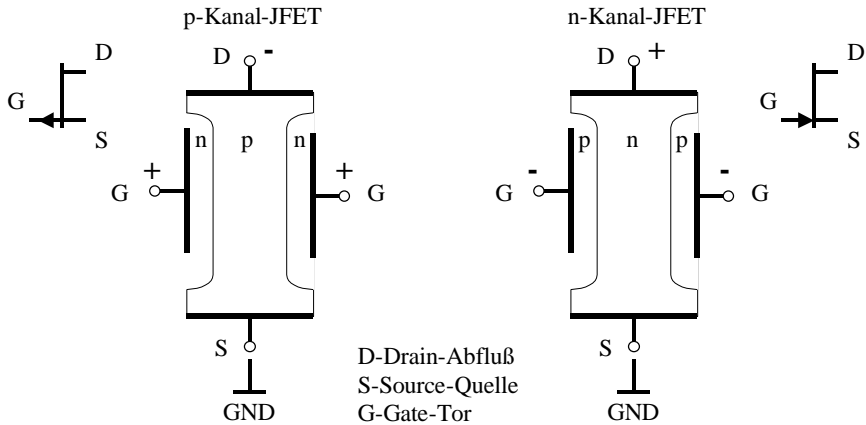
MOS-FET
Metalloxid-Feldeffekttransistoren (IG-FET)
MOS - Metall-Oxide-Semiconductor
IG - Insulated Gate

Unipolare Transistoren

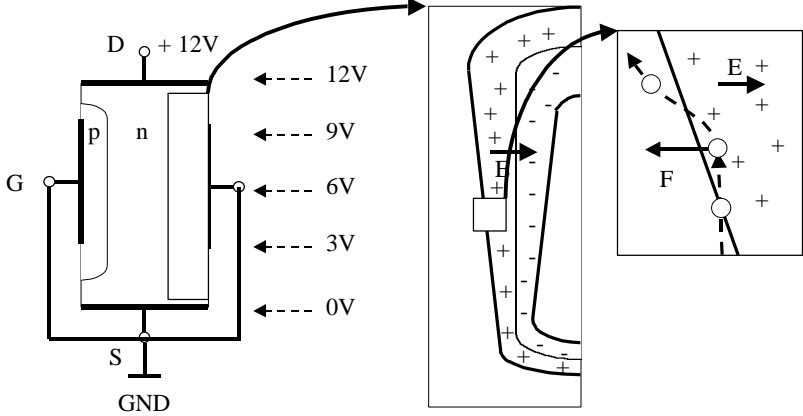
Bei Unipolaren Transistoren werden die pn-Übergänge nur in einer Polarität genutzt.



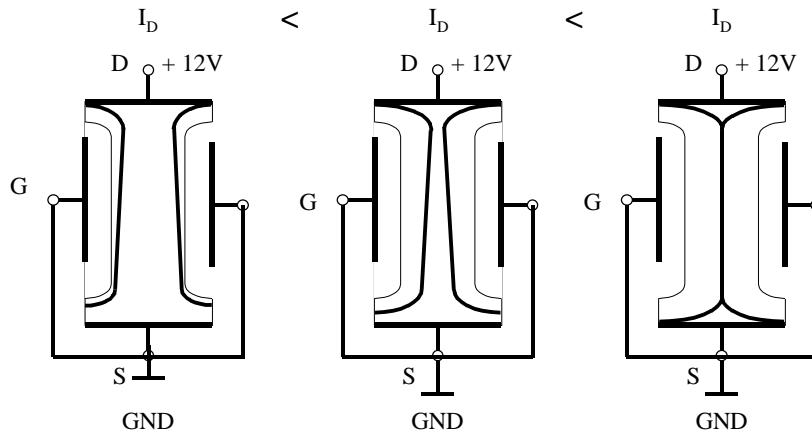
J-FET Transistor



J-FET Sperrschichten



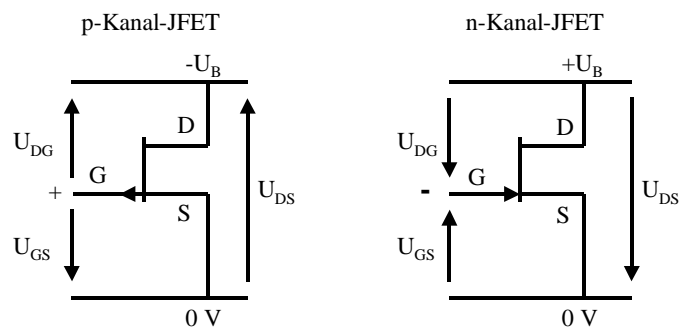
J-FET Sperrschichten



Liers - PEG-Vorlesung WS2000/2001 - Institut für Informatik - FU Berlin

5

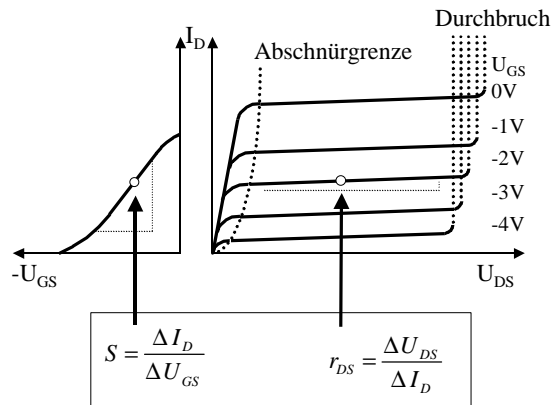
J-FET Anschlußbelegung



Liers - PEG-Vorlesung WS2000/2001 - Institut für Informatik - FU Berlin

6

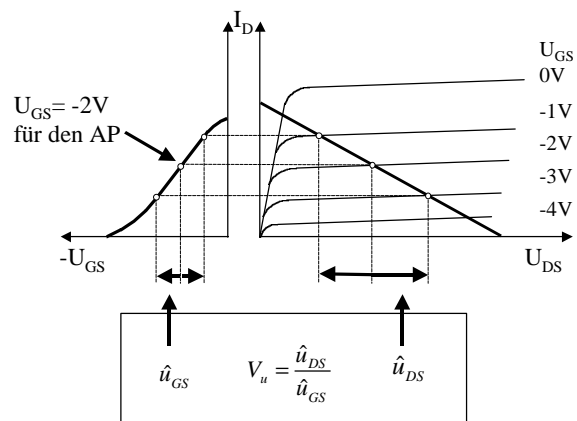
J-FET Kennlinien



Liers - PEG-Vorlesung WS2000/2001 - Institut für Informatik - FU Berlin

7

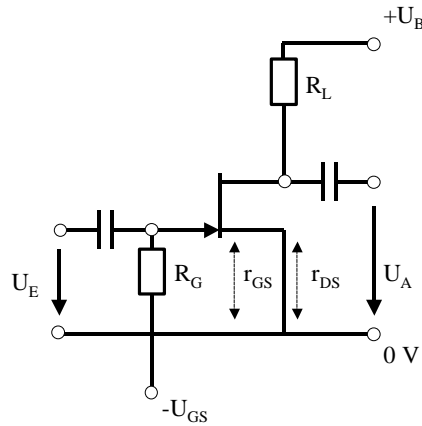
J-FET Kennlinien Verstärker



Liers - PEG-Vorlesung WS2000/2001 - Institut für Informatik - FU Berlin

8

J-FET Verstärker



Liers - PEG-Vorlesung WS2000/2001 - Institut für Informatik - FU Berlin

9

J-FET Parameter

Steilheit

$$S = \frac{\Delta I_D}{\Delta U_{GS}} \quad S = 3 - 10 \frac{mA}{V}$$

Differentieller Ausgangswiderstand

$$r_{DS} = \frac{\Delta U_{DS}}{\Delta I_D} \quad r_{DS} = 80 - 200 k\Omega$$

Differentieller Eingangswiderstand

$$r_{GS} \approx 10^{10} - 10^{14} \Omega$$

Strom über die Sperrschichten

$$I_{Sperr} \approx 5 - 20 nA$$

Liers - PEG-Vorlesung WS2000/2001 - Institut für Informatik - FU Berlin

10

J-FET Parameter

Spannungsverstärkung

$$V_u = S \cdot \frac{R_L \cdot r_{DS}}{R_L + r_{DS}}$$

Eingangswiderstand

$$r_e = \frac{R_L \cdot r_{GS}}{R_L + r_{GS}}$$

Ausgangswiderstand

$$r_a = \frac{R_L \cdot r_{DS}}{R_L + r_{DS}}$$

Verlustleistung

$$P_{tot} = U_{DS} \cdot I_D$$

J-FET Grenzwerte

$$U_{DS \max} \approx 30V$$

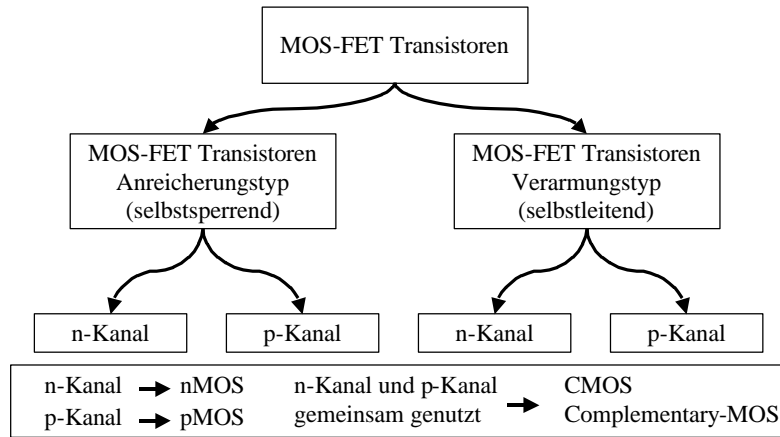
$$U_{GS \max} \approx -8V$$

$$I_{D \max} \approx 20mA$$

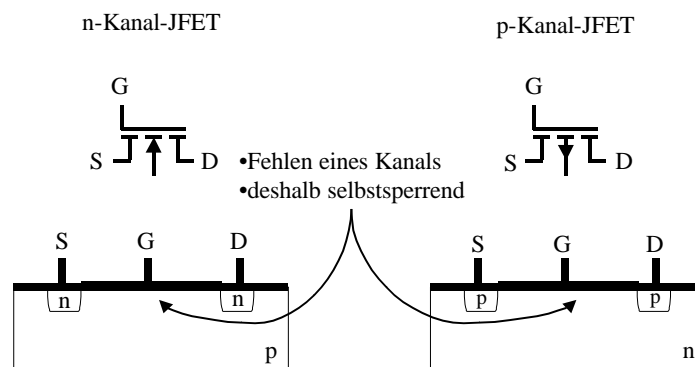
$$P_{tot} \approx 200mW$$

$$T \approx 135^\circ C$$

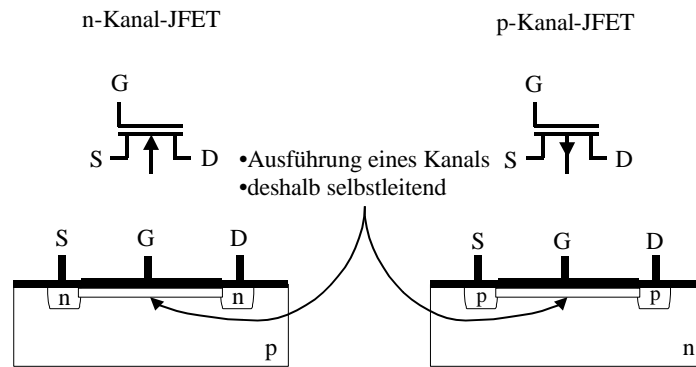
MOS-FET Transistoren



MOS-FET Anreicherungstyp (selbstsperrend)



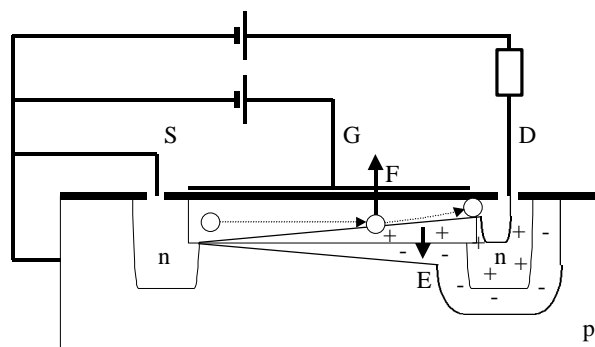
MOS-FET Verarmungstyp (selbstleitend)



Liers - PEG-Vorlesung WS2000/2001 - Institut für Informatik - FU Berlin

15

MOS-FET Sperrschichten n-Kanal Verarmungstyp (selbstleitend)

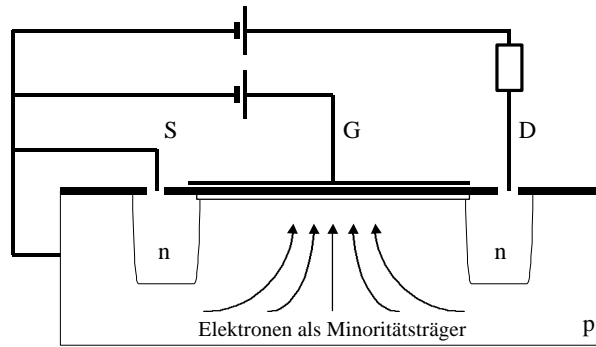


Liers - PEG-Vorlesung WS2000/2001 - Institut für Informatik - FU Berlin

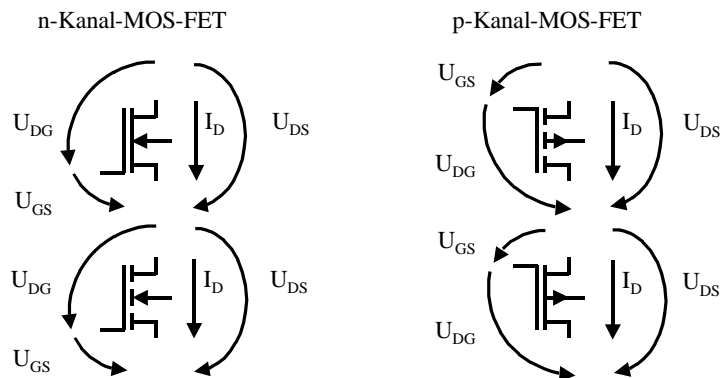
16

MOS-FET Sperrschichten

n-Kanal Anreicherungstyp (selbstsperrend)

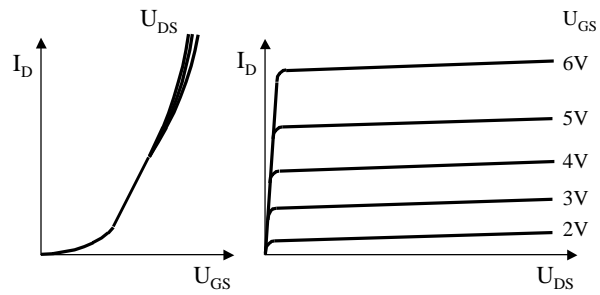


MOS-FET Anschlußbelegung



MOS-FET Kennlinie

Anreicherungstyp n-Kanal

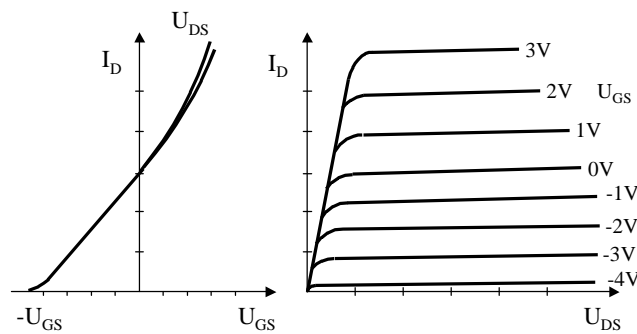


Liers - PEG-Vorlesung WS2000/2001 - Institut für Informatik - FU Berlin

19

MOS-FET Kennlinie

Verarmungstyp n-Kanal



Liers - PEG-Vorlesung WS2000/2001 - Institut für Informatik - FU Berlin

20

MOS-FET Parameter

Steilheit

$$S = \frac{\Delta I_D}{\Delta U_{GS}} \quad S = 5 - 12 \frac{mA}{V}$$

Ausgangswiderstand

$$r_{DS} = \frac{\Delta U_{DS}}{\Delta I_D} \quad r_{DS} = 10 - 50 k\Omega$$

Eingangswiderstand

$$r_{GS} \approx 10^{14} \Omega \quad C_{GS} \approx 2 - 5 pF$$

Gateleckstrom

$$I_{GSS} \approx 0,1 - 10 pA$$

MOS-FET Parameter

Spannungsverstärkung

$$V_u = S \cdot \frac{R_L \cdot r_{DS}}{R_L + r_{DS}}$$

Verlustleistung

$$P_{tot} = U_{DS} \cdot I_D$$

Durchlaßwiderstand ON

$$R_{DS_ON} \approx 200 \Omega$$

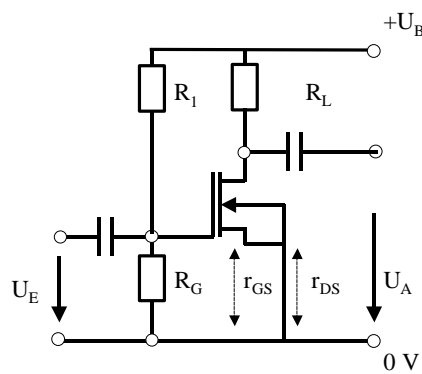
Durchlaßwiderstand OFF

$$R_{DS_OFF} \approx 10^{10} \Omega$$

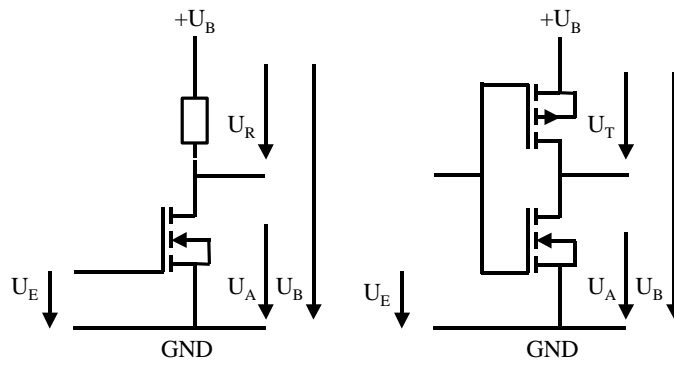
MOS-FET Grenzwerte

$$\begin{aligned}U_{DS \max} &\approx 35V \\U_{GS \max} &\approx \pm 10V \\I_{D \max} &\approx 50mA \\P_{tot} &\approx 150mW \\T &\approx 135^\circ C\end{aligned}$$

MOS-FET Verstärker



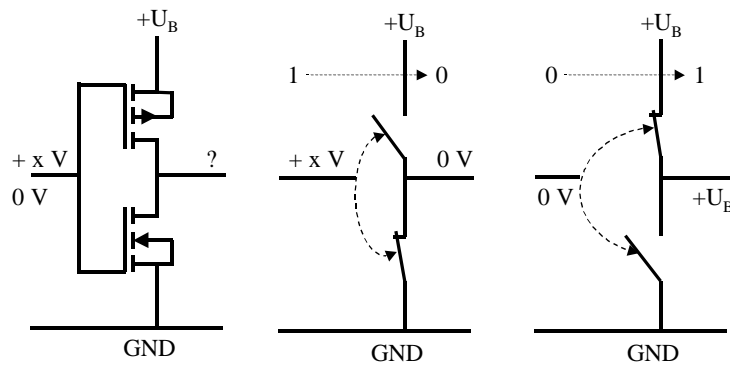
MOS-FET Schalter



Liers - PEG-Vorlesung WS2000/2001 - Institut für Informatik - FU Berlin

25

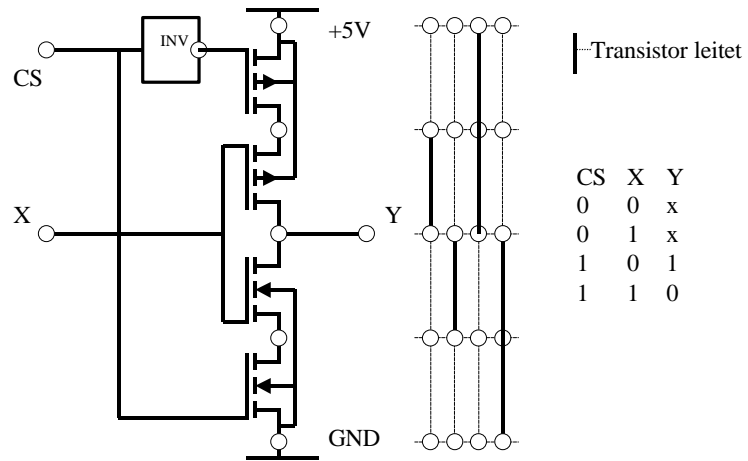
MOS-FET Inverter



Liers - PEG-Vorlesung WS2000/2001 - Institut für Informatik - FU Berlin

26

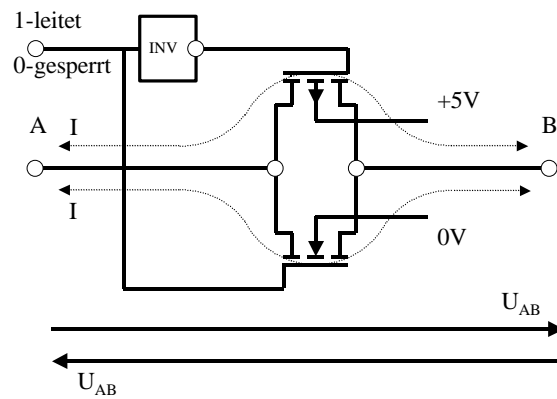
MOS-FET Tristate



Liers - PEG-Vorlesung WS2000/2001 - Institut für Informatik - FU Berlin

27

MOS-FET Transmissionsgatter



Liers - PEG-Vorlesung WS2000/2001 - Institut für Informatik - FU Berlin

28

Transistorschalter

npn-Transistor und MOS-FET

